

УДК 621.192

С.Ф. ТЮРИН, О.А. ГРОМОВ

Пермский национальный исследовательский политехнический университет, Россия

СИНТЕЗ LUT ПЛИС В ФУНКЦИОНАЛЬНО ПОЛНОМ ТОЛЕРАНТНОМ БАЗИСЕ

В статье представлена возможная схемотехническая реализация таблицы преобразования программируемых логических интегральных схем. Рассматривается структура классической таблицы преобразования (look up table) программируемых логических интегральных схем и приводится расчет аппаратных затрат, требующихся для ее реализации. Предлагается модифицированная схема на основе функционально полных толерантных элементов, которая позволяет существенно снизить затраты. Приводится расчет вероятности безотказной работы для двух вариантов реализаций.

Ключевые слова: функционально полный толерантный элемент, look up table, программируемые логические интегральные схемы, КМОП транзисторы, синтез.

Введение

В современных цифровых устройствах повсеместно используются программируемые логические интегральные схемы (ПЛИС). Данная категория интегральных микросхем пользуется большой любовью разработчиков за свое удобство, гибкость и качество. Трудно представить какую-либо область науки и техники, где в настоящее время не применяются ПЛИСы. Активно используются данные ИМС и в устройствах специального назначения. Поэтому в настоящее время остро стоит вопрос повышения надежности данных электро-радио элементов. Но к сожалению, лишь небольшое число производителей выпускают ИМС для использования в аппаратуре ответственного применения. Поэтому большое количество исследований в настоящее время направлено на разработку методов повышения отказоустойчивости программируемых логических интегральных схем. Одним из направлений здесь является разработка методов повышения отказоустойчивости встроеной логики. Именно данной теме посвящена эта статья.

1. Классическая структура LUT

Наибольшее распространение в настоящее время имеют программируемые пользователем вентильные матрицы (field programmable gate arrays - FPGA). Структурно такие микросхемы представляют множество регулярно расположенных идентичных конфигурируемых логических ячеек. Ячейки окружены трассировочными каналами, а на периферии кристалла расположены блоки ввода/вывода. Кроме этого, для создания сложных систем современные ПЛИС имеют в своем составе умножители

частоты, блоки памяти, встроенные блоки ЦОС и т.д.

Одной из характеристик логической ячейки является ее зернистость, то есть, то насколько малыми будут те элементы, из которых будет строиться схема. В качестве логических ячеек могут использоваться:

1. Транзисторные пары, простые логические вентили И-НЕ, ИЛИ-НЕ. Такие ячейки называются SLC- Simple Logic Cells;

2. Логические модули на основе мультиплексоров;

3. Логические модули на основе программируемых ПЗУ, такие ячейки называются LUT – Look Up Tables [1].

В нашей стране наибольшее распространение имеют ПЛИС логические ячейки, которых строятся на основе программируемых логических ПЗУ. Такие ячейки могут реализовывать любую функцию заданного числа переменных. Производителями таких микросхем являются такие фирмы как Xilinx и Altera. Такие ПЛИС получили наиболее массовое распространение и используются в любых областях техники.

Рассмотрим структуру LUT. В соответствии с [2] упрощенно схема таблицы преобразования может быть представлена следующим образом (рис. 1). Из данного рисунка видно, что LUT имеет в своем составе 16 ячеек памяти (обозначены на схеме R), выходы которых подключены к мультиплексорам, которые реализованы на вентилях И и ИЛИ. Всего в одной таблице преобразования используется 15 мультиплексоров (или 16 если считать схему использующуюся для реализации цепи переноса). Кроме этого в составе LUT можно увидеть инверторы, которые используются для инверсии адресных разрядов мультиплексоров.

плексирования. Так, например, для синтеза мультиплексора 2 в 1 при наличии парафазных входов требуется всего один элемент.

Суть предлагаемого варианта реализации LUT сводится к тому, чтобы заменить 3 вентиля (два вентиля И и один вентиль ИЛИ) реализующих мультиплексор в классической ячейке на один ФПТ элемент. При этом произойдет снижение аппаратных затрат.

Но для подобной замены требуется, чтобы у ФПТ элемента были парафазные входы и на первый взгляд нельзя провести прямую замену. В действительности же данную проблему можно обойти. Рассмотрим подробнее ячейки памяти, которые используются в таблицах преобразования. Подобная ячейка представляет из себя 1-битное СОЗУ, которое строится на основе 6 КМОП транзисторов (рис. 4).

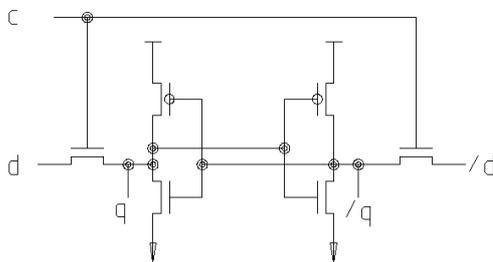


Рис. 4. Принципиальная схема ячейки СОЗУ

Из представленной схемы видно, что ячейка памяти имеет как прямой, так и инверсный выходы. Поэтому, чтобы обеспечить парафазность по информационным входам ФПТ элемента, нужно просто подключить входы к инверсному выходу ячейки памяти. Тогда для того, чтобы обеспечить парафазность по адресным входам, нужно просто завести адресные сигналы с инверсией (то есть если раньше на адресный вход заводился сигнал с выхода инвертора, то теперь его нужно будет завести со входа), что не потребует дополнительных аппаратных затрат.

Учитывая вышесказанное, модифицированная схема LUT на основе ФПТ элементах будет иметь вид, показанный на рис. 5.

3. Сравнение двух вариантов реализации LUT ПЛИС

Рассмотрим целесообразность подобной замены. Оценим сложность двух вариантов, посредством подсчета числа элементов и транзисторов для обоих случаев.

Как говорилось выше в классической структуре LUT использовано 16 мультиплексоров (вместе с цепью переноса) или 48 двухвходовых вентилях И и ИЛИ. Известно, что для того чтобы реализовать один вентиль И (также как и ИЛИ) требуется 6

транзисторов (4 транзистора на схему И + инвертор). Таким образом, для построения 16 мультиплексоров необходимо 288 транзисторов.

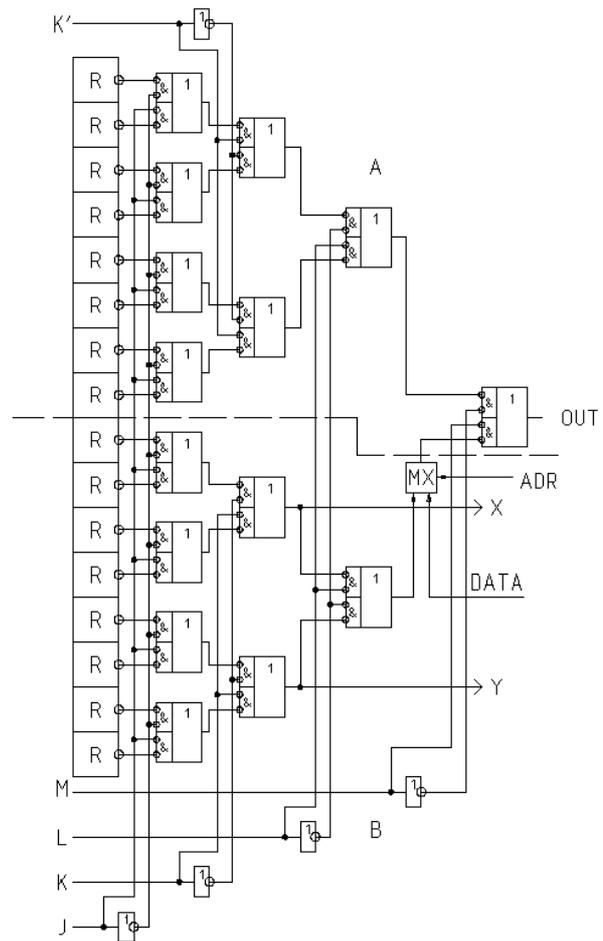


Рис. 5. Структура LUT на ФПТ элементах

Теперь проанализируем аппаратные затраты на реализацию модифицированной схемы LUT на основе функционально полных толерантных элементов. Как следует из рис. 3, ФПТ элемент строится на основе 8 КМОП транзисторов. Поэтому для реализации данной схемы при условии вышперечисленных допущений (использование инверсного выхода ячейки памяти и инверсии адресных битов) потребуется всего 128 транзисторов, т.е. более чем в два раза меньше!

При этом модифицированная схема обладает точно такой же функциональностью и более того за счет уменьшения числа элементов возрастет ее быстродействие и надежность.

Оценивать быстродействие можно путем подсчета числа последовательно включенных вентилях, которые используются в схеме.

Обозначим τ – задержку на одном вентиле. Тогда в случае классической структуры LUT задержка схемы будет равна 8τ , а в случае модифицированной схемы всего 4τ .

4. Определение зависимости надежности таблиц преобразования FPGA от числа используемых транзисторов

Выявим зависимость надежности LUT от числа используемых транзисторов.

Пусть p – вероятность отказа транзистора в течение некоторого промежутка времени. Тогда $(1-p)$ – вероятность безотказной работы в течение того же промежутка времени. Вероятность безотказной работы N транзисторов будет определяться

$$(1-p)^N$$

Тогда вероятность отказа хотя бы одного транзистора будет равна

$$1 - (1-p)^N$$

Отношение вероятностей отказов двух схем LUT, содержащих N_1 и N_2 элементов (при одной и той же вероятности отказа p) имеет вид:

$$\frac{1 - (1-p)^{N_1}}{1 - (1-p)^{N_2}} \approx \frac{1 - 1 + pN_1}{1 - 1 + pN_2} = \frac{N_1}{N_2}.$$

Из данной формулы видно, что при уменьшении числа элементов вероятность отказа уменьшается. Таким образом, уменьшение количества транзисторов повысит надежность LUT, а, следовательно, и ПЛИС в целом.

Покажем теперь графически какой выигрыш можно получить при модификации LUT. Будем считать, что на LUT действует пуассоновский стационарный поток отказов – λ . Для обеих реализаций он будет иметь одно и то же значение. Тогда зависимость вероятности безотказной работы от времени для двух вариантов схем при заданном $\lambda = 10^{-7}$, показана на рис. 6.

Из него видно, что предлагаемая доработка позволяет существенно повысить вероятность безотказной работы LUT, что в свою очередь положительным образом скажется на надежности ПЛИС в целом.

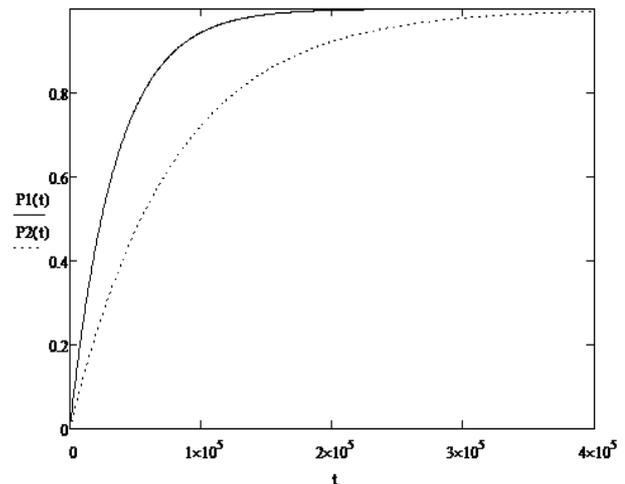


Рис. 6. Сравнение вероятностей безотказной работы классического и модифицированного варианта LUT при $\lambda = 10^{-7}$.

5. LUT с числом входов более четырех

В настоящее время ведутся работы по увеличению числа входов LUT. Так в частности уже реализованы LUT с 5 переменными и планируется изготавливать LUT с 6 переменными. Схема таких структур представляет из себя такой же мультиплексор, только увеличенной разрядности. Поэтому в таких схемах в качестве базиса также целесообразно использовать ФПТ элементы, т.к. они смогут существенно снизить аппаратные затраты и увеличить быстродействие. Был проведен подсчет числа требуемых элементов для LUT с 5, 6 и 7 входными переменными и здесь также очевиден выигрыш. Также меньшее число последовательно включенных элементов дает более высокое быстродействие. Результаты сравнения сведены в табл. 1, в столбцах которых указаны задержка в числе вентилях, сложность в числе вентилях и сложность в числе транзисторов. Для большей наглядности также представлены графики выигрыша на рис. 7–9.

Таблица 1

Сравнение двух вариантов синтеза n-входовых LUT

Число входов LUT	Синтез на элементах И и ИЛИ			Синтез на ФПТ элементе		
	Сложность в числе вентилях	Сложность в числе транзисторов	Задержка	Сложность в числе вентилях	Сложность в числе транзисторов	Задержка
4	48	288	8 τ	16	128	4 τ
5	96	576	10 τ	32	256	5 τ
6	192	1152	12 τ	64	512	6 τ
7	384	2304	14 τ	128	1024	7 τ

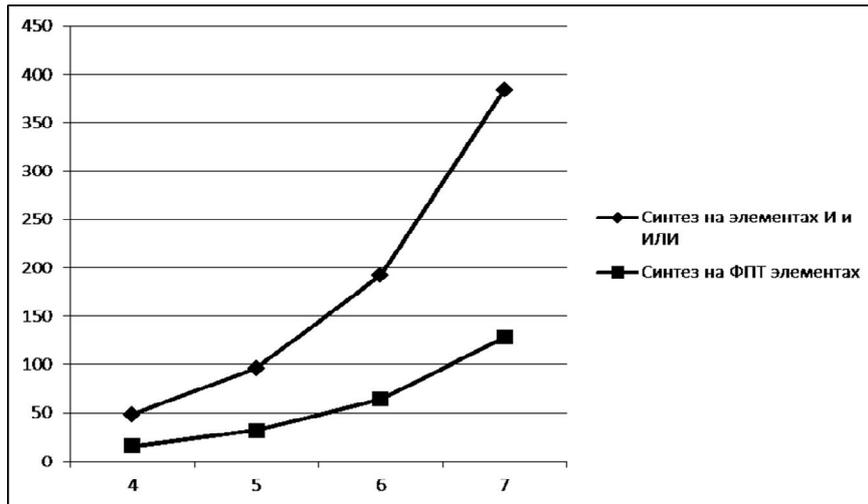


Рис. 7. Сравнение аппаратных затрат в числе вентилей для двух вариантов синтеза n-входовых LUT

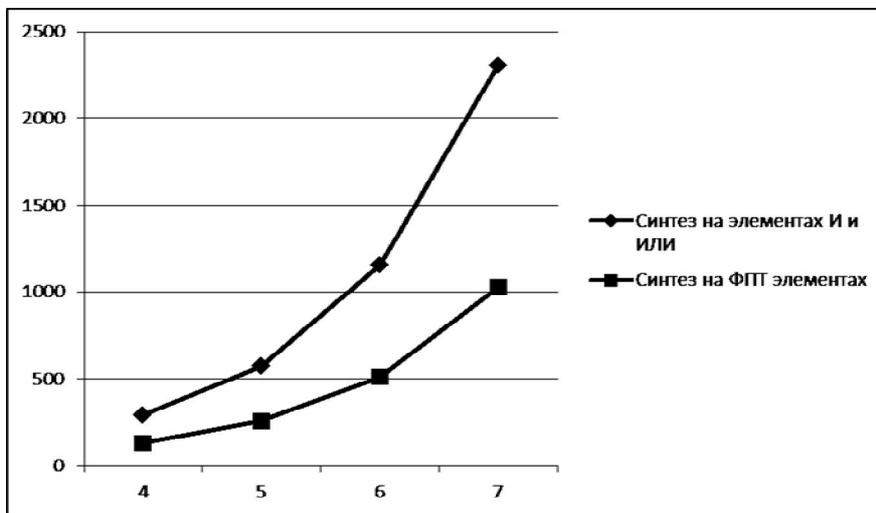


Рис. 8. Сравнение аппаратных затрат в числе транзисторов для двух вариантов синтеза n-входовых LUT

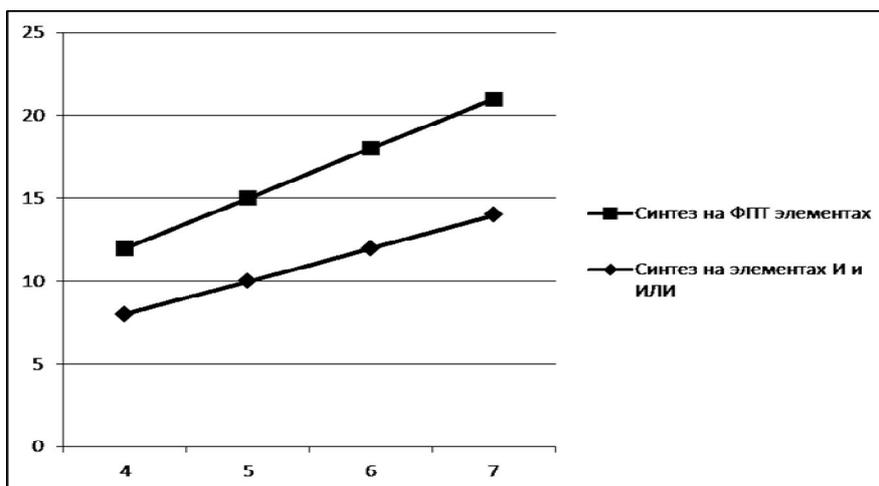


Рис. 9. Сравнение задержки в числе вентилей для двух вариантов синтеза n-входовых LUT

Выводы

Таким образом, в статье представлена возможная схемотехническая реализация таблицы преобразования ПЛИС. Проведенный расчет показывает, что модифицированная структура обеспечивает существенный выигрыш по количеству элементов, что ведет к выигрышу по быстродействию и отказоустойчивости. Более того по нашему мнению внесение подобных изменений в архитектуру ПЛИС не потребует серьезных доработок существующих решений. Кроме того, уменьшение числа транзисторов внутри логического элемента, позволит уменьшить площадь логического элемента, а, следовательно, увеличить емкость программируемых логических интегральных схем без перехода к новому технологическому процессу.

Литература

1. Угрюмов, Е.П. *Цифровая схемотехника [Текст] / Е.П. Угрюмов. – СПб.: БХВ-Петербург. – 2007. – 782 с.*
2. *Look up table implementation of fast carry for adders and counters [Text]. – US 005274581A. – 1993.*

3. Тюрин, С.Ф. *Проблема сохранения функциональной полноты булевых функций при «отказах» аргументов [Текст] / С.Ф. Тюрин // Автоматика и телемеханика. – 1999. – № 9. – С. 176 – 186.*

4. Громов, О.А. *Функционально-полный толерантный элемент [Текст] / О.А. Громов // Сборник конкурсных научных работ аспирантов и молодых ученых по направлению «Стратегическое партнерство вузов и предприятий радиоэлектронной промышленности». – 2010. – С. 73 – 79.*

5. Тюрин, С.Ф. *Базисный элемент программируемых логических интегральных схем [Текст] / С.Ф. Тюрин, О.А. Громов // Вестник Ижевского государственного технического университета. – 2010. – № 3. – С. 122 – 126.*

6. *Моделирование отказов функционально-полного толерантного элемента на основе КМОП транзисторов [Текст] / С.Ф. Тюрин, О.А. Громов // Радиоэлектронні і комп'ютерні системи. – 2010. – № 5 (46). – С. 247 – 250.*

7. *Функционально-полный толерантный элемент: пат 2438234 Рос. Федерация. №2010123392; заявл. 08.06.2010 [Текст]. – опубл. 27.12.2011, Бюл. № 36.*

Поступила в редакцию 15.03.2012

Рецензент: д-р техн. наук, профессор В.А. Заславский, Киевский национальный университет им. Тараса Шевченко, Киев, Украина.

СИНТЕЗ LUT ПЛИС У ФУНКЦІОНАЛЬНО ПОВНОМУ ТОЛЕРАНТНОМУ БАЗИСІ

С.Ф. Тюрін, О.А. Громов

У статті представлена можлива схемотехнічна реалізація таблиці перетворення програмованих логічних інтегральних схем. Розглядається структура класичної таблиці перетворення програмованих логічних інтегральних схем і приводиться розрахунок апаратних витрат, потрібних для її реалізації. Пропонується модифікована схема на основі функціонально повних толерантних елементів, яка дозволяє істотно знизити витрати. Наводиться розрахунок ймовірності безвідмовної роботи для двох варіантів реалізації.

Ключові слова: функціонально повний толерантний елемент, таблиця перетворення, програмовані логічні інтегральні схеми, КМОП транзистори.

LUT FPGA SYNTHESIS BASED ON FUNCTIONALLY COMPLETE TOLERANT ELEMENTS

S.F. Tyurin, O.A. Gromov

Possible circuit realization of conversion of the programmable logical integrated circuits table is presented in the article. The structure of the classical look-up-table of field programmable gate arrays is considered and calculation of hardware costs, which are required for its realization is presented. The modified scheme on the basis of functionally complete tolerant elements which allows to lower costs essentially is offered. Calculation of probability of non-failure operation for two variants of realization is presented.

Keywords: functionally complete tolerant element, look up table, field programmable gate arrays, CMOS transistors.

Тюрин Сергей Феофанович – д-р техн. наук, профессор, профессор кафедры «Автоматика и телемеханика» Пермского национального исследовательского политехнического университета, Пермь, Россия.

Громов Олег Александрович – аспирант кафедры «Автоматика и телемеханика» Пермского национального исследовательского политехнического университета, Пермь, Россия.