

УДК 519.713:681.326

В.И. ХАХАНОВ, ХАССАН КТЕЙМАН, А.Н. ПАРФЕНТИЙ, И.В. ХАХАНОВА*Харьковский национальный университет радиоэлектроники, Украина***ВСТРОЕННОЕ АППАРАТНОЕ МОДЕЛИРОВАНИЕ
ПРИ ПРОЕКТИРОВАНИИ SoC**

Предлагаются методы аппаратного моделирования неисправностей и исправного поведения, основанные на методологии HES и PRUS фирмы Aldec, USA. Предлагается структурно-функциональная многозначная аппаратная модель цифрового устройства с шинной организацией линий для многократного повышения быстродействия анализа переходных процессов; представлена аппаратурная реализация троичного метода моделирования исправного поведения HES-MV – Hardware Embedded Simulation based on Multi-Valued alphabet для цифровых проектов вентиляльного и регистрового уровней описания.

моделирование, верификация, цифровые системы на кристаллах, анализ переходных процессов**Введение**

Современный уровень развития микроэлектроники предъявляет новые требования к средствам автоматизированного проектирования цифровых изделий. Основным параметром разработки – time-to-market – предполагает активизацию усилий ведущих фирм мира в целях поиска новых методов и средств ввода, моделирования, верификации и тестирования проектируемых изделий. Одним из основных направлений практически ориентированных научных исследований является разработка и использование аппаратных акселераторов для моделирования и тестирования сложных проектов. Здесь имеются существенные достижения, внедренные в мировой рынок технологий со стороны фирмы Aldec, USA, которая является одним из лидеров инноваций в области EDA. Разработка упомянутой компании – HES™ (Hardware Embedded Simulator) является универсальным специализированным процессором, который способен в тысячи раз повысить быстродействие моделирования и верификации цифровых проектов. Основная идея – проект, как правило, состоит из уже отлаженных моделей компонентов, которые помещаются в HES, а модели примитивов, нуждающиеся в доработке, представлены в программном коде на языках описания аппаратуры. По мере отладки все компоненты помещаются в кристалл HES, в результате чего появляется аппаратная

модель цифровой системы с большими преимуществами по времени ее обработки перед программным аналогом. HES-модель проекта имеет один недостаток – ее функциональность не предполагает выполнение режима многозначного моделирования, а состояния линий определяются только значениями {0,1}. Ограниченность алфавита моделирования не позволяет решать практически ориентированные задачи, связанные с установкой схемы в наперед заданное двоичное состояние, а также выполнять анализ проектов на предмет выявления состязаний, гонок сигналов и рисков сбоев. Реализация таких функций в программном исполнении является времязатратной.

Таким образом, актуальной представляется проблема совмещения упомянутых функциональностей с их аппаратурной реализацией, что дает возможность найти на рынке своего потребителя, который готов платить больше за высокое быстродействие аппаратного троичного моделирования для анализа переходных процессов и решения задачи установки схемы в наперед заданное состояние.

Цель работы: повышение ($\times 10$, $\times 100$, $\times 1000$) быстродействия синхронного моделирования и временной верификации вычислительных систем на кристаллах путем использования многозначных аппаратных моделей компонентов. *Объект исследования* – цифровая система, содержащая миллионы вентилялей, реализуемая в кристаллах программируе-

мой логики, представленная на HDL-ЯОА. Для достижения поставленной цели необходимо разработать: 1. Многозначную аппаратную модель компонентов цифровой системы на кристалле вентиляного и регистрового уровней. 2. Структурно-функциональную многозначную аппаратную модель цифрового устройства с шинной организацией линий для многократного повышения быстродействия анализа переходных процессов. 3. Двухсхемную структурно-функциональную аппаратную модель цифрового устройства для совместного моделирования многозначных входных наборов. 4. Автоматную модель процесса трансляции HDL-кода в структуры данных для анализа и верификации цифровой системы на кристалле с использованием аппаратуры Aldec HES™ [1], интегрированную в маршрут проектирования и верификации. 5. Программно-аппаратный комплекс MV-HES, позволяющий верифицировать сложные цифровые SoC на ранних стадиях проектирования, осуществлять его тестирование путем сравнения с существующими мировыми аналогами, используя тестовые библиотеки ведущих фирм, и его интеграцию в Active HDL.

Классификация моделей цифровых схем

Необходимость существенного повышения быстродействия средств моделирования для тестирования и верификации определяется возрастающей сложностью проектируемых цифровых систем на кристаллах, насчитывающих миллионы вентиляей. Существующие средства моделирования неисправностей ведущих фирм мира, таких как: Cadence, Mentor Graphics, Synopsys, Aldec затрачивают на анализ цифровой системы размерностью порядка миллионов вентиляей несколько часов. Для пользователя такие затраты являются весьма значительными. Одно из возможных решений данной проблемы предложила фирма Aldec (www.aldec.com), заключающееся в разделении модели проекта на стадии системной верификации на две части (аппаратную H и программную S): $M = \{H, S\}$, $H \gg S$, причем программная модель – это новый, еще не проверенный

на функциональность код. Аппаратная есть уже отлаженные модули в виде IP-cores, имплементируемые в HES. Однако аппаратная реализация моделирования исключила возможность многозначного режима моделирования состояний линий, а значит и анализ переходных процессов, рисков сбоев, гонок и состязаний. Предлагаемый подход, наряду с сохранением преимуществ аппаратного моделирования по скорости, позволяет моделировать состязания и решать установочную задачу путем расширения аппаратной модели введением вместо булевых переменных двухрядных шин, идентифицирующих четыре состояния логической переменной. Предложенные шинные аппаратные модели цифровых примитивов и логических элементов могут быть востребованы на рынке средств проектирования и тестирования цифровых устройств большой размерности. На рис. 1 представлена классификация моделей для моделирования исправного поведения и анализа состязаний [2].

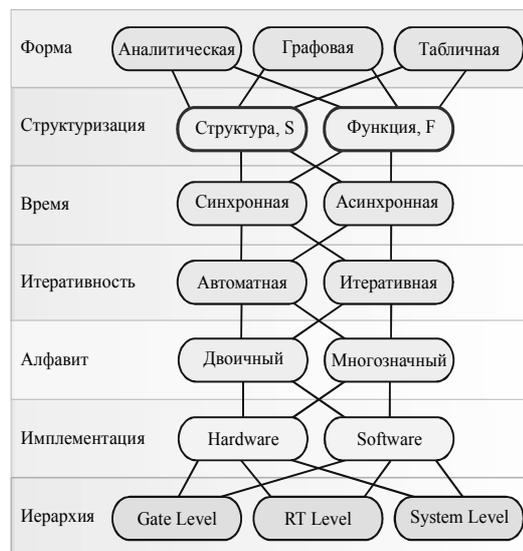


Рис. 1. Модели цифровых систем

Введенные признаки используются на стадии создания спецификации проекта и представляют собой фактический набор подходов к построению оптимальных конструкций, удобных для разработчика и/или системы проектирования:

$$M = \langle F = \{F^a, F^g, F^t\}, S = \{S^s, S^f\},$$

$$T = \{T^s, T^a\}, I = \{I^a, I^i\}, A = \{A^b, A^m\},$$

$$P = \{P^h, P^s\}, H = \{H^g, H^r, H^s\} \rangle.$$

Каждый признак включает несколько компонентов. Основным из них является структуризация, задающая степень детализации модели, которая далее уточняется путем доопределения остальных шести типов классификаторов. Выбор концепции для создания модели цифровой системы зависит от решаемых задач. В случае, когда речь идет об аппаратном моделировании исправного поведения цифрового изделия на вентиляльном уровне, необходимо рассматривать минимальной сложности и достаточной адекватности модель, которая определяется как: аналитическая, структурная, синхронная, итеративная, многозначная, аппаратная, вентиляльная.

Аппаратное исправное моделирование

В табл. 1 представлены основные логические операции И (and), ИЛИ (or), по модулю два (xor) и отрицания (not) в четырехзначном алфавите для создания многозначных моделей функциональных примитивов и двоичные коды для каждого символа, при этом первый бит определяет маску, а нулевой – значение элемента.

Таблица 1

AND	U	X	0	1
U	U	U	0	U
X	U	X	0	X
0	0	0	0	0
1	U	X	0	1

OR	U	X	0	1
U	U	U	U	1
X	U	X	X	1
0	U	X	0	1
1	1	1	1	1

XOR	U	X	0	1
U	U	U	U	U
X	U	X	X	X
0	U	X	0	1
1	U	X	1	1

NOT	U	X	0	1
	U	U	1	0

символ	U	X	0	1
код	00	01	10	11

Таблица 2

AND	00	01	10	11
00	00	00	10	00
01	00	01	10	01
10	10	10	10	10
11	00	01	10	11

AND1	
a\b	00 01 11 10
00	0 0 0 1
01	0 0 0 1
11	0 0 0 1
10	1 1 1 1

AND0	
a\b	00 01 11 10
00	0 0 0 0
01	0 1 1 0
11	0 1 1 0
10	0 0 0 0

В табл. 2 представлена реализация логической операции И в четырехзначном алфавите при использовании двухбитового кодирования символов, а

также карты Карно для вычисления первого и нулевого бита выходного значения функции.

На основе карт Карно формируются функции для реализации в аппаратуре функции И в четырехзначном алфавите:

$$AND_1 = a_1 \bar{a}_0 \vee b_1 \bar{b}_0 \vee a_1 b_1; \quad AND_0 = a_0 b_0.$$

Функции для элементов OR, XOR, и других могут быть получены аналогичным образом.

Для преобразования исходных VHDL-моделей и выполнения процесса верификации в четырехзначном алфавите разработан транслятор в среде Matlab. Граф автомата представлен на рис. 2. Автомат содержит 14 состояний и реализует классическую модель автомата Мура. Количество входных сигналов равно трем, число выходных сигналов для инициализации операций равно шести, общее число переходов или дуг графа равно 28. Автомат в течение одного цикла обрабатывает одно VHDL-выражение, представленное одной строкой исходного текста.

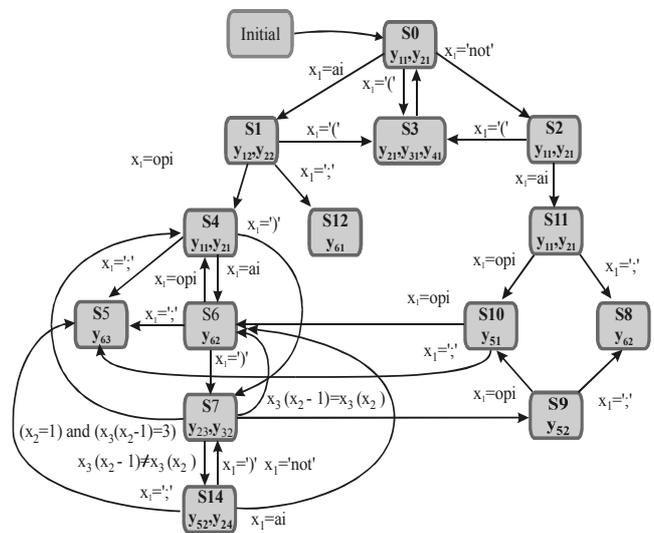


Рис. 2. Граф автомата, выполняющего преобразование модели для аппаратного моделирования в четырехзначном алфавите

Таким образом, основная идея аппаратной модели для многозначного анализа переходных процессов заключается в разработке базовых элементов или примитивов, где входные и выходные линии представлены двумя разрядами, с помощью которых можно закодировать четыре логических состояния,

необходимых для идентификации переходных процессов, отличных от стационарных сигналов 0 и 1. Здесь символ X способен идентифицировать состояния сигналов, риски сбоя [3], которые приводят цифровую схему в непредсказуемое или неспецифицированное состояние. Кроме того, символ X включает все переходные процессы более сложных алфавитов [4 – 7], ориентированных для моделирования комбинационных схем.

Аппаратное моделирование неисправностей

Аппаратная реализация ДФ для двухвходовых элементов И, ИЛИ на исчерпывающем тесте представлена на рис. 3 схемой дедуктивно-параллельного анализа неисправностей. В симуляторе представлены булевы (x_1, x_2) и регистровые (X_1, X_2) переменные, сигнал V выбора типа исправной функции: $V=0$ (AND), $V=1$ (OR), выходная регистровая переменная Y . Состояния двоичных входов x_1, x_2 и V выбирают одну из четырех дедуктивных функций для получения вектора Y проверяемых неисправностей

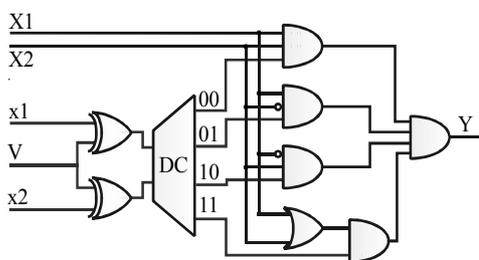


Рис. 3. Симулятор неисправностей

Применение такого симулятора дает возможность трансформировать вентиляющую модель F исправного поведения схемы в дедуктивную L , которая инвариантна в смысле универсальности тестовым наборам и не предполагает в процессе моделирования использовать модель F . Поэтому симулятор, как аппаратная модель дедуктивной функции, ориентирован на создание встроенных средств дедуктивно-параллельного моделирования, повышающих быстродействие анализа в 10 – 1000 раз по сравнению с программной реализацией. Но при

этом соотношение объемов вентиляющих (после синтеза) моделей исправного моделирования и анализа неисправностей составляет 1:16. Вычислительная сложность обработки цифрового устройства, состоящего из n вентилях, равна $Q = (2n^2\tau)/W$, где τ – время выполнения регистровой операции (AND, OR, NOT); W – разрядность регистра. Для аппаратной реализации дедуктивно-параллельного моделирования на основе предложенного симулятора используется структура, представленная на рис. 4. Особенность схемной реализации заключается в совместном выполнении двух операций: однобитовой – для эмуляции элементов И, ИЛИ и параллельной – для обработки многоразрядных векторов неисправностей.

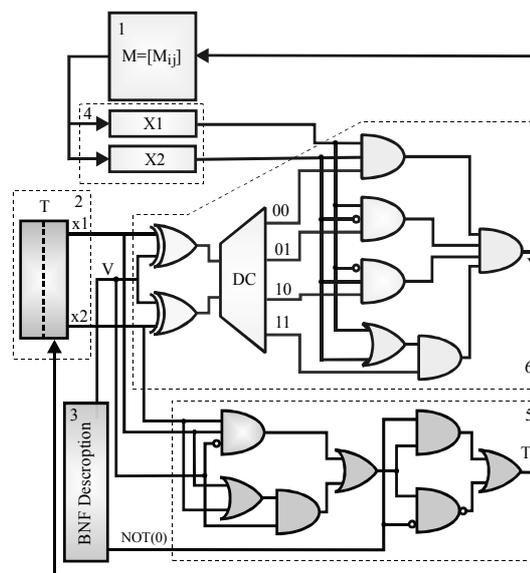


Рис. 4. Структура секвенсера для моделирования неисправностей

Выводы

Был предложен аппаратный подход к анализу исправного поведения и моделирования неисправностей, позволяющий существенно повысить быстродействие синхронного моделирования и временной верификации вычислительных систем на кристаллах путем использования многозначных аппаратных моделей компонентов, позволяющих расширить функциональные возможности средств логического hardware-анализа в целях идентификации переходных

процессов и определения состязаний на ранних стадиях проектирования цифровых изделий. Предложен программно-аппаратный дедуктивно-топологический метод моделирования неисправностей, ориентированный на обработку цифровых систем на кристаллах, содержащих миллионы вентиляей.

Научные результаты.

1. Многозначная аппаратная модель компонентов цифровой системы на кристалле вентиляейного и регистрового уровней, которая позволяет выполнять анализ переходных процессов с высоким быстродействием, превышающим программные аналоги в ($\times 10$, $\times 100$, $\times 1000$) раз.

2. Двухсхемная структурно-функциональная аппаратная модель цифрового устройства для совместного моделирования многозначных входных наборов и многократного повышения быстродействия анализа переходных процессов в комбинационных и последовательностных устройствах.

3. Встроенная модель процесса анализа и верификации цифровой системы на кристалле с использованием аппаратуры Aldec HESTM, интегрированная в маршрут проектирования и верификации; Моделирование неисправностей на основе аппаратных секвенсоров, позволяющих распараллелить процессы анализа списков дефектов на не входных линиях цифровых проектов. При этом использовались идеи, взятые от Hardware Embedded Simulator, PRUS фирмы ALDEC, USA.

Практическое значение полученных результатов определяется:

1. Реализацией программно-аппаратного комплекса MV-HES (Multi-Valued Hardware Embedded Simulator), позволяющего верифицировать сложные цифровые SoC на ранних стадиях проектирования.

2. Интеграцией комплекса MV-HES с программным продуктом Active HDL, что позволило в 2 – 5 раз сократить общее время проектирования цифровых систем большой размерности, реализуемых на ПЛИС.

Литература

1. Active-HDL User's Guid. Second Edition. Copyright. Aldec Inc. – 1999. – 213 p.

2. Хаханов В.И. Техническая диагностика элементов и узлов персональных компьютеров. – К.: ИЗМН, 1997. – 308 с.

3. Щупак Ю.А. Анализ риска сбоя в сети асинхронных автоматов // Автоматика и телемеханика. – 1991. – № 6. – С. 141-146.

4. Menon P.R., Chappel S.G. Deductive fault simulation with functional blocks // IEEE Trans. on Computers. – 1978. – Vol. C.27, no. 8. – P. 689-695.

5. Venkataraman S., Kent Fuchs W. A Deductive Technique for Diagnosis of Bridging Faults // IEEE. – 1997. – P. 562-571.

6. Ярмолик В.Н., Янушкевич А.И., Карповски М.Г. IDDQ тестирование итерационных структур, реализованных на КМОП-логике // Микроэлектроника. – 1997. – № 2. – С. 151-155.

7. Chang H.Y., Chappel S.G., Elmendorf C.H., Smidt L.D. Comparison of parallel and deductive fault simulation Methods // IEEE Trans. on Computers. – 1974. – Vol. C23, no. 11. – P. 1132-1138.

Поступила в редакцию 6.04.2007

Рецензент: д-р техн. наук, проф. И.А. Фурман, Харьковский национальный технический университет сельского хозяйства им. Петра Василенко, Харьков.