

УДК 621-192

Н.П. БЛАГОДАРНЫЙ¹, Н.Ф. СИДОРЕНКО²¹Харьковский национальный автомобильный университет, Украина²НТ СКБ «ПОЛИСВИТ», Харьков, Украина

МОДЕЛИ ЗАПАСОВ ОТКАЗОУСТОЙЧИВОСТИ VLSI-АРХИТЕКТУР С ЦИКЛИЧЕСКИМ РЕЖИМОМ ФУНКЦИОНИРОВАНИЯ

Предлагается методика определения текущего и необходимого запасов отказоустойчивости VLSI-архитектур перед активными временными интервалами функционирования по назначению.

резервирование, отказоустойчивость, реконфигурация, процессорный элемент

Введение

Современный период развития бортовых систем обработки информации транспортных средств (ТС) характеризуется интенсивным поиском новых принципов обработки информации и новых архитектур. Практические успехи в изготовлении СБИС и неразрезных пластин делают реальным построение вычислительных и управляющих систем на VLSI-архитектурах (микропроцессорных системах, ПЛИС, систолических матрицах и т.д.). Высокоинтегрированные систолические матрицы состоят из десятков и сотен тысяч однотипных элементарных вычислителей – процессорных модулей (ПМ), функциональные характеристики которых сравнимы с характеристиками процессоров современных микроЭВМ. С применением VLSI-архитектур сложность БСОИ ТС переходит рубеж, за которым определяющей характеристикой становится не производительность системы, а ее способность безотказно функционировать в течение длительного применения по назначению. Имеет место парадокс, связанный с созданием и использованием БСОИ ТС на современной элементной базе. С одной стороны, утрата работоспособности одного или нескольких ПМ не может заметно повлиять на общую производительность VLSI-архитектур. С другой, единственная неисправность, если она не будет обнаружена и устранена достаточно быстро, может вывести из строя всю систему вследствие распространения по ней неверной информации [1]. Хотя роль отдель-

ного ПМ в системе незначительна, но ответственность каждого из них за систему в целом огромна.

Требования к надежностным характеристикам (отказоустойчивости) VLSI-архитектур ТС не могут быть удовлетворены без наличия избыточности и использования резервирования [1, 2]. Для высокоинтегрированного базиса использование пассивных методов обеспечения отказоустойчивости (дублирования и мажоритирования) неприемлемо [3]. Актуальным является поиск методов обеспечения активной отказоустойчивости на внутрикристалльном уровне (контроля исправности процессорных элементов, реконфигурации VLSI-архитектур, для замены отказавшего модуля исправным, и восстановления вычислительного процесса) [3, 4]. Небольшая кратность $(0,1 \div 0,5)$ скользящего резервирования процессорных модулей в VLSI-архитектурах интенсифицирует поиск путей улучшения использования резервного оборудования при замене отказавших элементов исправными (реконфигурации) [2].

Постановка задачи. Попеременное нахождение БСОИ ТС на активных временных интервалах длительностью t_a ($t_a = t_{io} - t_{in}$, $i = 1, 2, \dots$) и на пассивных временных интервалах длительностью $t_{II} = t_{n(i+1)} - t_{oi}$ требует уточнения понятия отказа VLSI-архитектур. Отказ БСОИ ТС на активном временном интервале наступает в одном из случаев:

– в течение временного интервала Δt_a (допустимый временной интервал увеличения значения t_a , $\Delta t_a \ll t_a$) в VLSI-архитектуре не могут быть уст-

ранены последствия отказов (сбоев) ПМ V_{ij} , $V_{ij} \in V_u(t_{Hi})$, ($V_u(t_{Hi})$ – множество используемых ПМ перед началом активного временного интервала), возникающих на активном временном интервале;

– на активном временном интервале (t_{Hi} , t_{oi}) не обеспечивается постоянное значение коэффициента пропускной способности $K_S(t)$ VLSI-архитектуры, т.е.

$$\forall t \in (t_{Hi}, t_{oi}) : K_S(t) = const, K_S(t) \geq K_{mp}.$$

$$(K_S(t) = |V_u(t)|/|V|),$$

где $V_u(t)$ – множество используемых ПМ, V – множество ПМ VLSI-архитектуры.

Условие эффективного функционирования VLSI-архитектуры определим системой неравенств

$$\begin{cases} l(t_a) \tau_p \leq \Delta t_a; \\ K_S(t_{Hi}) \rightarrow \max; \\ P_{БСОИ}(t) \geq P_{БСОИ}^{TP}(t), t \in (t_{Hi}, t_{oi}), \end{cases} \quad (1)$$

где $P_{БСОИ}(t)$ – вероятность безотказной работы VLSI-архитектуры в момент времени t ; $l(t_a)$ – число отказов (сбоев) ПМ МСП на активном временном интервале; τ_p – среднее время, затрачиваемое на реконфигурацию МСП при маскировании отказа (сбоя) ПМ.

Решение системы (1) неравенств определяет условия обеспечения максимальной эффективности функционирования БСОИ ТС при заданном уровне отказоустойчивости $P_{БСОИ}^{mp}$. Высокие требования к значениям $K_S(t)$ и $P_{БСОИ}(t)$ не могут быть удовлетворены при использовании известных активных методов обеспечения отказоустойчивости для VLSI-архитектур по ряду причин

- малая кратность скользящего резервирования;
- невозможность использования известных методов реконфигурации при функционировании VLSI-архитектур в реальном масштабе времени;
- невозможность повторного использования на активных временных интервалах функционирования VLSI-архитектур ПМ, восстановившихся после сбоя;
- отсутствие свойства адаптации VLSI-архитектур к особенностям применения ТС по назначению (длительностям временных интервалов t_n , t_a , изменениям интенсивностей потоков отказов и сбоев,

степени их кластиризации (группирования) на кристаллах).

Для поиска эффективных решений системы неравенств (1) необходимо [1–3]:

1) на пассивных временных интервалах применения VLSI-архитектур:

- определять оценки текущего и необходимого уровней отказоустойчивости: мощность множества ($V_p(t_{Hi})$) резервных ПМ, достаточную для маскирования $l(t_a)$ отказов (сбоев) ПМ, за время, не превышающее Δt_a , вариант размещения множества ($V_p(t_{Hi})$) резервных ПМ на множестве модулей $V \setminus V_0(t_{Hi})$, обеспечивающее маскирование $l(t_a)$ отказов (сбоев) ПМ, за время, не превышающее Δt_a (здесь $V_0(t)$ – множество отказавших ПМ);

– осуществлять деградацию (редеградацию) VLSI-архитектуры, обеспечивающую максимизацию значения $K^S(t_{Hi})$.

2) на активных временных интервалах применения VLSI-архитектур [4]:

- осуществлять локальную (глобальную) реконфигурацию VLSI-архитектуры при отказе (сбое) ПМ V_{ij} ;
- оперативно возвращать в множество ПМ $V \setminus V_0(t_{Hi})$ модули, восстановленные после сбоя;
- оперативно восстанавливать искаженную информацию после выполнения реконфигурации.

Решение задачи

Решение системы неравенств (1) достигается при максимизации мощности множества $V \setminus V_0(t_{Hi})$, $i = 0, 1, 2, \dots$ и назначении исправных ПМ $V_{ij}, V_{ij} \in V \setminus V_0(t_{Hi})$ между множествами $V_u(t_{Hi})$ и $V_p(t_{Hi})$, что обеспечивает максимальное значение $K_S(t_{Hi})$ при $P_{БСОИ}(t) \geq P_{БСОИ}^{mp}$. Это решение должно приниматься перед каждым активными временным интервалом (t_{Hi}, t_{oi}) , $i = 0, 1, 2, \dots$, функционирования VLSI-архитектур. Оценка отказоустойчивости $P_{БСОИ}(t)$ являются точечной и не мо-

жет быть использована для оценки безотказного функционирования МСП на активных временных интервалах (t_{H_i}, t_{0_i}) . Важнейшим этапами решения системы неравенств (1) являются:

- получение оценок текущего $\gamma_m(t_{H_i})$ и минимального запаса $\gamma_{\min}(t_{H_i})$ отказоустойчивости;
- осуществление деградации (редеградации) VLSI-архитектуры;
- назначение множеств рабочих $V_p(t_{H_i})$ и резервных $V_u(t_{H_i})$ ПМ (решение задачи предварительной ре конфигурации)[4].

Обозначим через $P_o(t_{H_i}), P_p(t_{H_i}), P_u(t_{H_i})$ соответственно вероятности нахождения ПМ во множествах $V_o(t_{H_i}), V_p(t_{H_i}), V_u(t_{H_i})$. Текущий запас $\gamma_m(t_{H_i})$ отказоустойчивости VLSI-архитектур оценен отношением числа резервных ПМ $|V_p(t_{0_{i-1}})|$ к числу рабочих ПМ $|V_u(t_{0_{i-1}})|$ после окончания очередного активного интервала

$$\gamma_m(t_{H_i}) = \frac{|V_p(t_{0_{i-1}})|}{|V_u(t_{0_{i-1}})|} = \frac{P_p(t_{0_{i-1}})}{1 - P_o(t_{0_{i-1}}) - P_p(t_{0_{i-1}})}. \quad (2)$$

Оценка $\gamma_m(t_{H_i})$ определяет текущий запас отказоустойчивости VLSI-архитектур. Оценка $\gamma_{\min}(t_{H_i})$ должна определять минимальное число $|V_p(t_{H_i})|$ оптимально размещенных резервных ПМ, обеспечивающее с вероятностью $P_{БСОИ}^{mp}$ безотказное функционирование VLSI-архитектуры на активном временном интервале (t_{H_i}, t_{0_i}) . Значение $\gamma_{\min}(t_{H_i})$ зависит от мощности $V_u(t_{H_i})$ рабочих ПМ, степени η кластеризации отказов [3], длительности активного временного интервала t_a , параметров потока отказов λ_o и сбоя λ_c , уровня реконфигурированности

(радиуса r реконфигурационного пространства [5]) и вероятности $P_{БСОИ}^{mp}$

$$\gamma_{\min}(t_{H_i}) = f(V_u(t_{H_i}), V \setminus V_0(t_{H_i}), \lambda_o, \eta, t_a, P_p(t_{H_i}), P_u(t_{H_i}), P_{БСОИ}^{mp}).$$

Определим необходимое значение $P_p(t_{H_i})$. Для этого выразим мощность множества резервных ПМ, для замены одного отказавшего ПМ из множества $V_u(t_{H_i})$ площадью $S(r)$, $S(r) = 1 + \pi r^2 P_p(t_{H_i})$ [5]. Для успешной реконфигурации VLSI-архитектур на активных временных интервалах мощность этого множества должна превышать число $\Pi(r)$ отказов рабочего ПМ за время t_a . Будем характеризовать кластеризацию отказов законом Пуассона с параметром η (средним расстоянием между поочередно отказавшими ПМ) [5]. Вероятность возникновения отказа ПМ, находящегося на расстоянии i от ПМ, подверженного предыдущему отказу определим из

$$P_i = \frac{\eta^i}{i!} e^{-\eta} / \pi i^2. \quad (3)$$

С учетом этого определим значение $\Pi(r)$. Число отказов ПМ за активный временной интервал определится выражением $|V \setminus V_0(t_{H_i})| \lambda_o t_a$. Так как имеет место кластеризация отказов, то определим долю резервных модулей реконфигурационного пространства одного рабочего модуля, использованных для его замены на активном временном интервале

$$\Pi(r) = |V \setminus V_0(t_{H_i})| \lambda_o t_a \sum_{i=1}^r 2\pi i P_i \quad (4)$$

и сопоставим со значением $S(r)$

$$\begin{aligned} S(r) &= S(r) = 1 + \pi r^2 P_p(t_{H_i}) = \Pi(r) \cdot P_{БСОИ}^{mp} = \\ &= P_{БСОИ}^{TP} |V \setminus V_0(t_{H_i})| \lambda_o t_a \sum_{i=1}^r 2\pi i P_i. \end{aligned}$$

Очевидно, что безотказное функционирование МСП на активном временном интервале будет обеспечено при $S(r) \geq \Pi(r) \cdot P_{БСОИ}^{mp}$. Решение

этого неравенства позволяет получить оценку $P_p^*(t_{H_i})$ значения $P_p(t_{H_i})$ и необходимой мощности множества резервных ПМ $V_p(t_{H_i})$ для эффективного функционирования VLSI-архитектуры на очередном активном временном интервале

$$P_p^*(t_{H_i}) = \frac{1}{\pi r^2 - P_{BCOI}^{TP} |V/V_o(t_{H_i})\lambda_o 2\pi \sum_{i=1}^r iP_i}. \quad (5)$$

$$|V_p(t_{H_i})| = P_p^*(t_{H_i}) |V \setminus V_0(t_{H_i})|. \quad (6)$$

Значение минимальной оценки запаса отказоустойчивости $\gamma_{\min}(t_{H_i})$ получим используя оценку $P_p^*(t_{H_i})$ (5), априорную оценку $P_0(t_{H_i})$ и условие нормировки $P_0(t_{H_i}) + P_p(t_{H_i}) + P_u(t_{H_i}) = 1$

$$\gamma_{\min}(t_{H_i}) = \frac{P_p(t_{H_i})}{P_u(t_{H_i})} = \frac{P_p^*(t_{H_i})}{1 - P_0(t_{H_i}) - P_p^*(t_{H_i})}. \quad (7)$$

Выводы

Оценка $\gamma_{\min}(t_{H_i})$ связывает запас отказоустойчивости VLSI-архитектуры, мощность множества $V_p(t_{H_i})$ резервных ПМ и степень η кластеризации отказов. Как видно из выражений (3 – 5), значение $\gamma_{\min}(t_{H_i})$ является функцией числа отказов, размерности $V \setminus V_0(t)$ МСП, мощности $V_p(t_{H_i})$ и качества размещения резервных ПМ в пространстве $V \setminus V_0(t_{H_i})$. Оценка $\gamma_m(t_{H_i})$ определяет текущий запас отказоустойчивости VLSI-архитектур. Оценивая и сопоставляя значения $\gamma_m(t_{H_i})$ и $\gamma_{\min}(t_{H_i})$ легко определяются достаточность (недостаточность) запаса отказоустойчивости перед активным временным интервалом применения VLSI-архитектур. При $\gamma_m(t_{H_i}) \geq \gamma_{\min}(t_{H_i})$ все отказавшие на интервале (t_{H_i}, t_0) ПМ будут маскированы средст-

вами локальной и глобальной реконфигурации в реальном масштабе времени. Наоборот, при $\gamma_{\min}(t_{H_i}) > \gamma_m(t_{H_i})$ безотказное функционирование МСП на интервале t_a не может быть гарантировано с вероятностью, равной или большей. Сопоставление на интервале $(t_{0_{i-1}}, t_{H_i})$ оценок $\gamma_{\min}(t_{H_i})$ и $\gamma_m(t_{H_i})$ позволяет найти эффективное решение системы неравенств (1) и предложить одну из стратегий безотказного функционирования VLSI-архитектур на активном временном интервале (t_{H_i}, t_0) : функционирование с прежним уровнем качества (стратегия 1); функционирование с пониженным уровнем качества (стратегия 2); функционирование с повышенным уровнем качества (стратегия 3).

Литература

1. Харченко В.С., Литвиненко В.Г., Краснобаев В.А. Методы и алгоритмы реконфигурации систолических матричных систем с фиксированной размерностью и деградацией структуры // Кибернетика и системный анализ. – 1992. – № 4. – С.72-79.
2. Харченко В.С., Благодарный Н.П. О реконфигурируемости цифровых систем // Электронное моделирование. – 1998. – № 6. – С. 81-93.
3. Кун С. Матричные процессоры на СБИС: Пер. с англ. – М.: Мир, 1993. – 672 с.
4. Назначение рабочих модулей матричных спецпроцессоров реального времени / Н.П. Благодарный, Ю.М. Зигангирова // Системы обработки інформації. – Х.: ХВУ, 2002. – Вип. 5 (21). – С.298-300.
5. Благодарный Н.П., Калачник М.А. Назначение рабочих модулей матричных спец процессоров реального времени // Автомобильный транспорт. – Х.: ХНАДУ, 2005. – Вып. 17. – С.106-108.

Поступила в редакцию 22.02.2007

Рецензент: д-р техн. наук, проф. В.А. Краснобаев, Харьковский национальный технический университет сельского хозяйства им. П. Василенко, Харьков.